

WH-NB82 硬件设计手册

文件版本：V1.1



目录

修订记录	4
1 概述	5
1.1 产品介绍	5
1.2 主要特性	6
1.3 系统架构	6
1.4 工作模式	7
2 技术指标	9
2.1 物理指标	9
2.2 射频指标	10
2.3 功耗指标	11
2.4 电气指标	11
2.5 使用环境	12
2.6 可靠性指标*	12
2.7 ESD 指标	13
3 管脚	14
3.1 管脚属性	14
3.2 管脚分布	15
3.3 管脚详情	16
4 电路设计	18
4.1 电源接口	18
4.1.1 电源输入	18
4.1.2 电源输出	19
4.2 控制接口	20
4.2.1 开机	20
4.2.2 关机	20
4.2.3 复位	20
4.3 工作模式	21
4.3.1 休眠模式	21
4.4 基带接口	23
4.4.1 UART	23

4.4.2 SIM 卡	24
4.4.3 ADC	27
4.4.4 状态指示*	27
4.5 射频接口	28
4.5.1 天线简介	28
4.5.2 阻抗	28
4.5.2.1 设计原则	28
4.5.2.2 多层板案例	31
4.5.2.3 常见问题	35
5 包装运输	36
5.1 包装	36
5.2 存储	38

修订记录

V1.0 (2022-04-10) 初始版本

1 概述

1.1 产品介绍

WH-NB82 系列产品基于芯翼 XY1100 平台，支持 NB 网络制式，是一款高度集成的 NB-IoT 无线通信模块，可以广泛应用于电力、水表、气表和烟感等场景。

产品外观如下：



图 1. TOP 视图



图 2. Bottom 视图

1.2 主要特性

产品硬件提供如下特性：

表 1. 基带特性

类别	描述
存储空间	模块内置 2MB FLASH 和 900KB RAM
功能接口	I2C×1
	SPI×1
	ADC×1
	UART×3
外设接口	SIM×1，支持 1.8V 和 3V 卡

表 2. 射频特性

类别	描述
天线接口	天线×1

1.3 系统架构

WH-NB82系列产品的硬件由以下几方面构成：

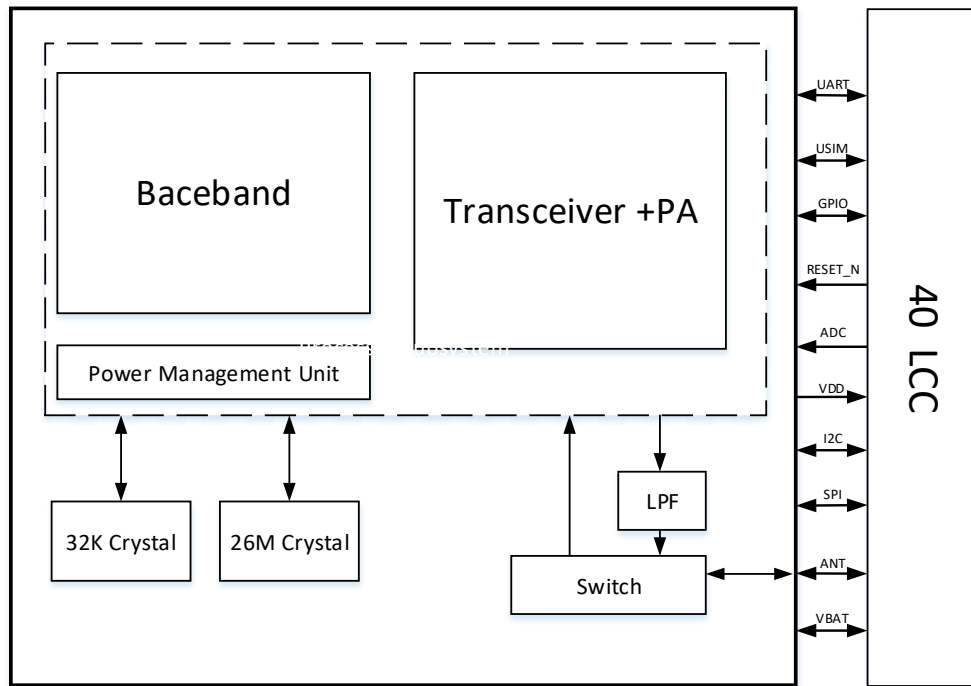


图 3. 硬件框图

模块的主要硬件功能包含了基带和射频功能。

基带部分：

- RTC
- Power Supply
- Application interface
- Flash

射频部分：

- RF Transceiver
- Antenna

1.4 工作模式

模块提供了如下几种工作模式。

表 3. 工作模式

工作模式	描述
待机模式	模块上电开机，可以通过串口进行 AT 指令操作。已经注册上网络，无业务处理，随时可以通讯，这是模块开机后的默认工作模式。
业务模式	模块开机上电，注网成功后进行业务传输。可以通过串口进行 AT 指令操作，模块再进行数据传输。当传输结束，模块返回待机模式。
休眠模式	模块处于低功耗模式 DRX、eDRX 和 PSM，低功耗模式下模块仍注册在网，唤醒后不需要重新附着。
飞行模式	关闭模块的无线通讯功能。

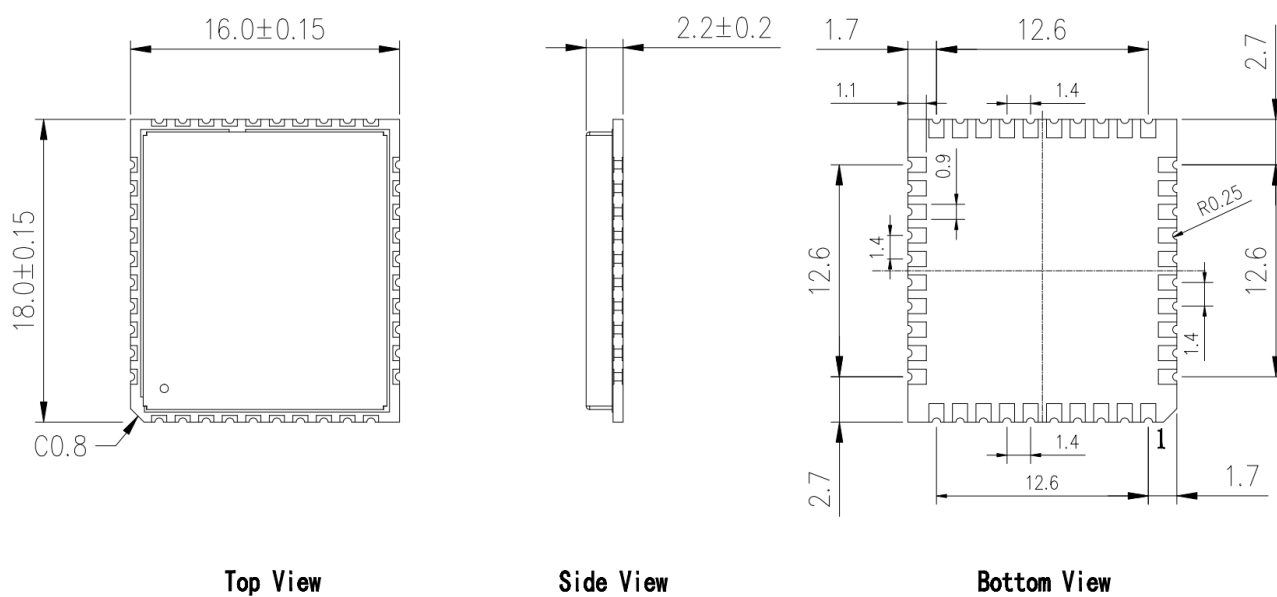
2 技术指标

2.1 物理指标

表 4. 封装形式

指标	描述
重量	约 1g
封装	LCC 共 40 个引脚
外观尺寸	18.0mm × 16.0mm × 2.2mm
结构尺寸	参见下图

结构尺寸如下所示：



Unit: mm 

图 4. 结构尺寸 TOP 视图、SIDE 视图和 BOTTOM 视图（单位：mm）

2.2 射频指标

表 5. 射频指标简介

指标	描述	
NB 制式	工作频段	B3/5/8
	调制方式	上行： BPSK/ QPSK 下行： QPSK
	发射功率	23±2dBm
	接收灵敏度	单天线
	峰值速率	R13: 63.4±10%Kbps DL/ 95.1±10%Kbps UL R14: 126.8Kbps DL/158.5Kbps UL
	接收灵敏度	单天线

表 6. 各频段发射功率

制式	频段	发射功率 (dBm)	说明
NB	Band 3	23±2	- -
	Band 5	23±2	- -
	Band 8	23±2	- -

表 7. 各频段接收灵敏度

制式	频段	灵敏度 (dBm)	说明
NB	Band 3	-116	不带重传
	Band 5	-116	不带重传
	Band 8	-116	不带重传

2.3 功耗指标

表 8. 模块功耗

参数	制式	测试条件 (VBAT=3.3V)	功耗 (mA)
I _{sleep}	NB	DRX Cycle Length = 2.56s	0.52
		eDRX Cycle Length = 81.92s	0.09
		PSM mode	0.0015
I _{NB}	NB	NB transfer Band 3 @+23dBm for 3.75K	300
		NB transfer Band 3 @+23dBm for 15K	150
		NB transfer Band 5 @+23dBm for 3.75K	300
		NB transfer Band 5 @+23dBm for 15K	150
		NB transfer Band 8 @+23dBm for 3.75K	300
		NB transfer Band 8 @+23dBm for 15K	150



以上功耗数据为实测平均值，浮动范围在 10%以内均属正常

2.4 电气指标

表 9. 电气指标

指标		最小值	典型值	最大值	单位
供电电压	直流供电	3	3.3	4.2	V
逻辑电平	数字输入高电平	2.9	3.0	3.1	V
	数字输入低电平	-0.3	0	0.3	V
	数字输出高电平	2.9	3.0	3.1	V
	数字输出低电平	-0.3	0	0.3	V

2.5 使用环境

表 10. 环境指标

指标	描述	
温度	工作温度： -30°C~+75°C	模块在此温度范围内可以正常工作，并且相关性能满足 3GPP 标准要求。
	扩展温度： -40°C~+85°C	模块在此温度范围内可以正常工作，基带射频功能正常，个别射频指标可能会超出 3GPP 标准，当温度恢复到模块正常工作范围时，各项指标仍会符合 3GPP 标准。

在扩展工作温度范围内，可能某些 RF 指标超标，应用终端在环境恶劣条件下应考虑温控措施。同时建议模块应用终端在一定温度条件下储存，超出此温度范围模块可能不能正常工作或者损坏。

2.6 可靠性指标*

可靠性测试按工业级可靠性测试，以下为标准测试项目和测试条件。

表 11. 工业级可靠性测试

试验项目	测试条件
快速温变	85/-40°C, 15°C/min, 500C
正弦振动	5-500Hz, 3G
盐雾测试	中性盐雾, 24H
温度冲击	85/-40°C, 500C
交变测试	25-70°C, 93%, 24H, 14C
随机振动	5-500Hz, 4Grms
机械冲击	100G, 11ms
高温启动	85°C, 72H
低温启动	-40°C, 72H
Corner 测试	HT/HH/HV→HT/LH/HV→LT/HV→HT/HH/LV→HT/LH/LV →LT/LV

试验项目	测试条件
电源偏移	Umin Oper(3min)/Umax Oper(3min), 1000 C;
高温高湿老化	85°C, 85%rh, 1000H

2.7 ESD 指标

模块属于静电敏感器件，抵抗静电的能力比较弱。对于静电敏感器件必须严格地遵照静电预防处理措施，在整个加工、传递、组装与操作过程，都必须要有适当的静电预防处理措施。

模块的 ESD 允许的放电范围如下（温度：25°C，相对湿度：40 %）：

表 12. ESD 指标

测试点	空气放电(kV)	接触放电(kV)
天线地	±10	±5
天线芯	±10	±5



数据基于 WH-NB82开发板测试。

3 管脚

3.1 管脚属性

以下属性被用于描述管脚。

表 13. 管脚属性

属性	含义
编号	管脚的编号
名称	管脚的名称
I/O	表明管脚信号的方向。
	• PI: 电源输入
	• PO: 电源输出
	• DI: 数字输入
	• DO: 数字输出
	• DIO: 数字输入输出
	• AI: 模拟输入
	• AO: 模拟输出
	• AIO: 模拟输入输出
电压	• OD: 漏极开路
	• G: 接地
	表明端口所处的电源域。
描述	管脚的详细含义，以及不使用时的处理。

3.2 管脚分布

WH-NB82产品采用了 LCC 封装，共 40 个管脚。管脚的分布如下所示：

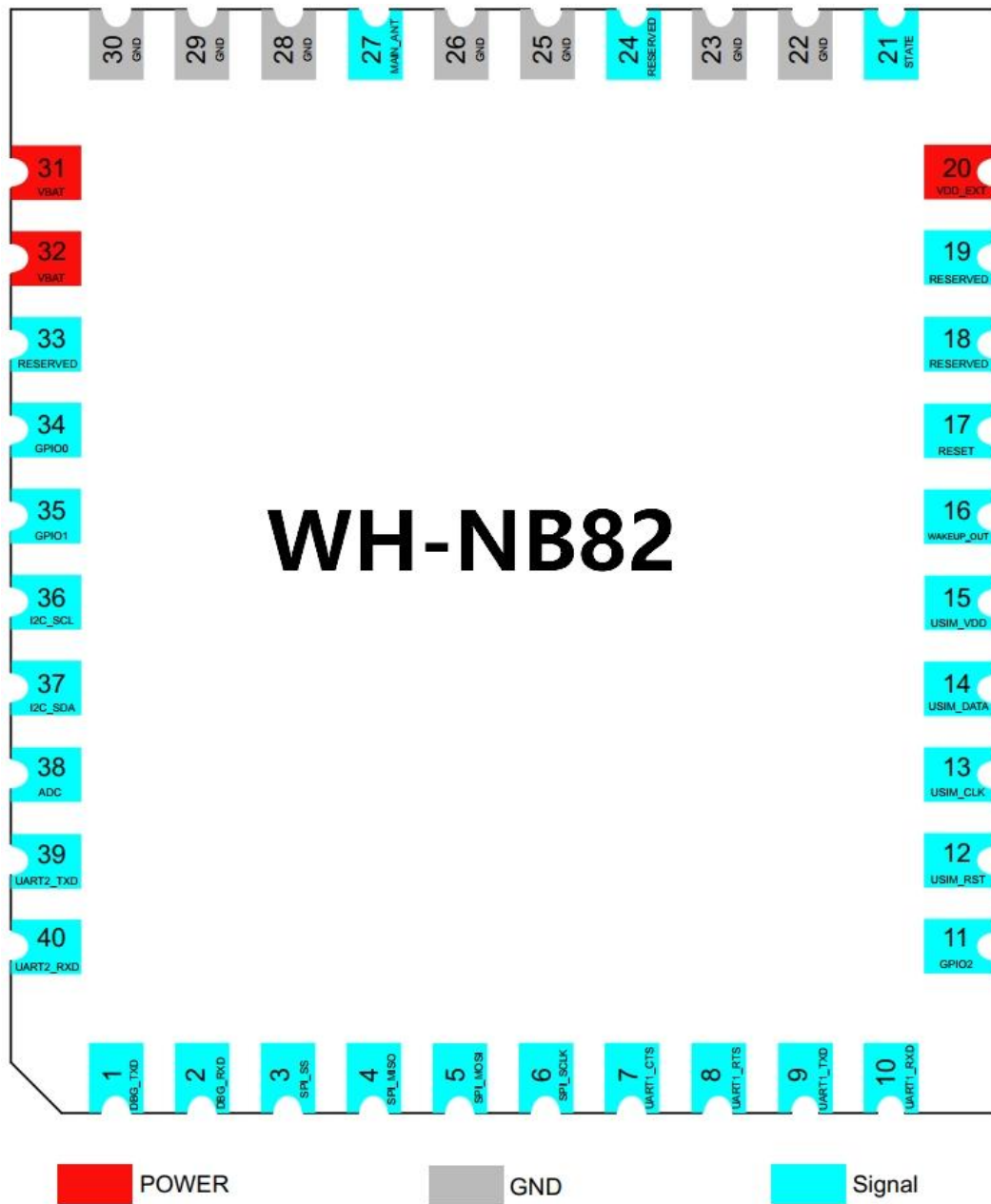


图 5. 引脚分布

3.3 管脚详情



“*” 表示正在开发中。

表 14. 模块引脚定义

引脚号	引脚名	I/O	电源域	引脚描述
1	DBG_TXD	DO	3.0V	debug 串口数据发送
2	DBG_RXD	DI	3.0V	debug 串口数据接收
3	SPI_SS*	DO	3.0V	SPI 片选
4	SPI_MISO*	DI	3.0V	SPI 主设备输入，从设备输出
5	SPI_MOSI*	DO	3.0V	SPI 主设备输出，从设备输入
6	SPI_SCLK*	DO	3.0V	SPI 时钟
7	UART1_CTS	DI	3.0V	主串口清除发送
8	UART1_RTS	DO	3.0V	主串口请求发送
9	UART1_TXD	DO	3.0V	主串口数据发送
10	UART1_RXD	DI	3.0V	主串口数据接收
11	GPIO2	DI	- -	GPIO 接口
12	USIM_RST	DO	1.8V/3V	USIM 复位信号
13	USIM_CLK	DO	1.8V/3V	USIM 时钟信号
14	USIM_DATA	DIO	1.8V/3V	USIM 数据信号
15	USIM_VDD	PO	1.8V/3V	USIM 电源
16	WAKEUP_OUT	DO	3.0V	模组状态指示信号，低为休眠模式，高为工作模式。请勿在开机过程中将该管脚上拉。
17	RESET	DI	VBAT	模块复位和唤醒管脚，低电平有效。大于 6s 复位，小于 5s 唤醒。
18	RESERVED	- -	- -	保持悬空

引脚号	引脚名	I/O	电源域	引脚描述
19	RESERVED	- -	- -	保持悬空
20	VDD_EXT	PO	3.0V	模块 IO 电源输出
21	STATE	DO	3.0V	网络状态指示。 请勿在开机过程中将该管脚上拉。
22	GND	G	- -	地
23	GND	G	- -	地
24	RESERVED	- -	- -	保持悬空
25	GND	G	- -	地
26	GND	G	- -	地
27	MAIN_ANT	AIO	- -	射频天线接口
28	GND	G	- -	地
29	GND	G	- -	地
30	GND	G	- -	地
31	VBAT	PI	3.3V	直流电源输入:3V~4.2V
32	VBAT	PI	3.3V	直流电源输入:3V~4.2V
33	RESERVED	- -	- -	保持悬空
34	GPIO0	DIO	- -	GPIO 接口。 请勿在开机过程中将该管脚上拉。
35	GPIO1	DIO	- -	GPIO 接口
36	I2C_SCL*	DO	3.0V	I2C 时钟接口
37	I2C_SDA*	DIO	3.0V	I2C 数据接口
38	ADC	AI	- -	模数转换, 采样精度 12bit, 量程 0~1V
39	UART2_TXD*	DO	3.0V	辅助串口数据发送
40	UART2_RXD*	DI	3.0V	辅助串口数据接收

4 电路设计

4.1 电源接口

4.1.1 电源输入

背景信息

模块电源的性能，如负载能力、纹波的大小等都会直接影响模块正常工作时的性能和稳定性。若供电能力不足，电源电压瞬间跌落，模块可能会出现掉电关机或重启等异常现象。

电源供电限制如下所示。

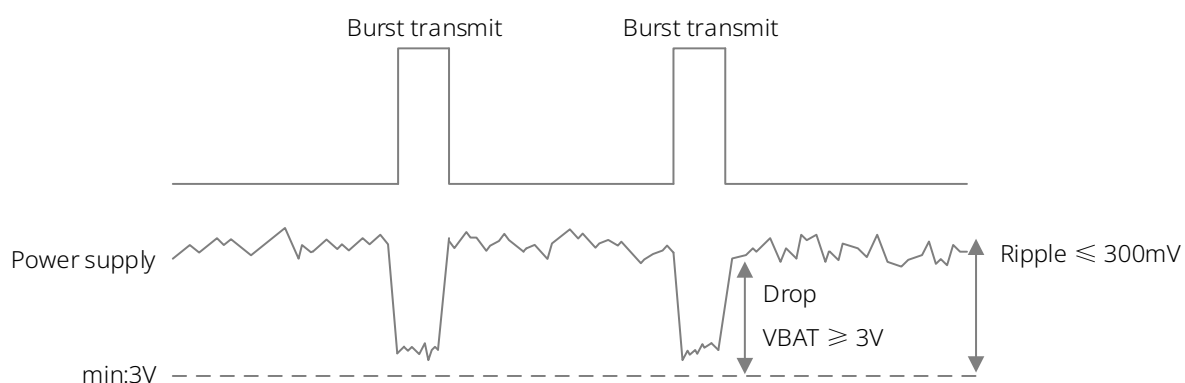


图 6. 电源供电限制

电源的纹波要低于 300mV ，线路 ESR（等效串联电阻） $<150\text{m}\Omega$ 。模块的最大工作电流不会超过 1A ，当模块工作时，需要确保直流电源的电流不小于 1A 、电压不低于最小电压。

原理图设计

假设 VBAT 为模块的电源管脚。

参考设计如图所示：

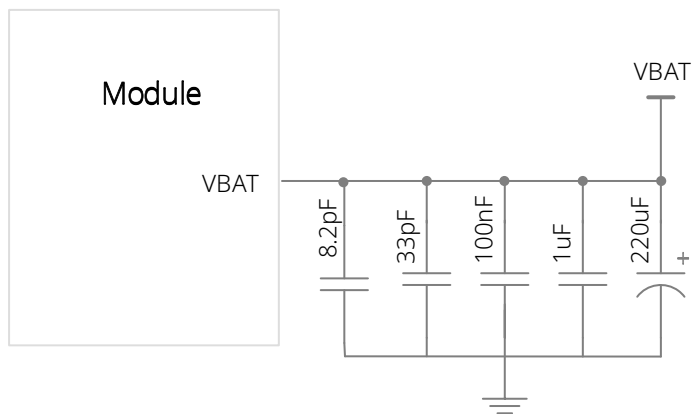


图 7. 电源参考设计

设计说明：

表 15. 设计说明

设计考虑	方式	推荐参数
减少模块工作时的电源波动	稳压电容	采用低 ESR 电容，220uF； LDO 或者 DC 供电要求不小于 220uF 电容； 电池供电可适当降低至 100uF 电容。
滤除时钟以及数字信号产生的干扰	滤波电容	1uF 和 100nF
消除高低中频射频干扰	去耦电容	33pF 和 8.2pF

VBAT 供电建议预留 TVS 管的位置。

PCB 设计

为减小 VBAT 走线的等效阻抗，要求外部供电到 VBAT 的走线尽量短且足够宽（建议 VBAT 应该按照至少 1 mm/1A 的走线宽度，以确保提供足够的供电能力），小容值电容靠近模块摆放，电源部分的地平面尽量完整。

4.1.2 电源输出

模块电源输出接口如下表所示。

表 16. 模块电源接口

引脚号	引脚名	I/O	引脚描述	DC 参数
-----	-----	-----	------	-------

				最小值(V)	典型值(V)	最大值(V)
20	VDD_EXT	PO	模块 IO 电源输出， 8mA	2.98	3.0	3.0
15	USIM_VDD	PO	SIM 卡电源，60mA	1.62/2.7	1.8/3	1.98/3.3

4.2 控制接口

WH-NB82系列模块无硬件开关机控制管脚，模块 VBAT 上电后自动开机，VBAT 下电后自动关机。

4.2.1 开机

当 WH-NB82系列模块处于关机模式，模块 VBAT 上电后，保持 RESET 输入不被拉低，即可实现模块自动开机。开机后模块 VDD_EXT 输出 3.0V 电压，模块开始开机初始化流程。

4.2.2 关机

当 WH-NB82系列模块处于开机模式，通过断开 VBAT 供电实现模块关机。

4.2.3 复位

背景信息

当模块需要恢复初始状态时，可以通过复位实现。

硬件复位控制时序如下：

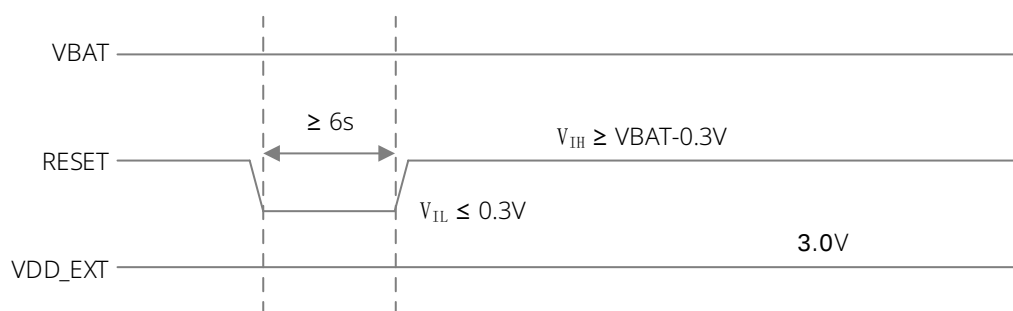


图 8. 硬件复位控制时序

将 RESET 置为低电平，并保持至少 6s，然后释放。复位参考电路如下所示，可使用 OC/OD 驱动电路或按钮控制 RESET 管脚。

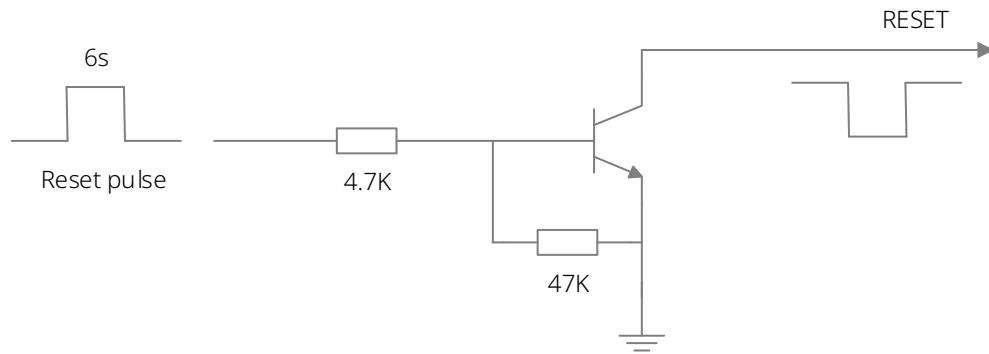


图 9. OC/OD 驱动复位参考电路

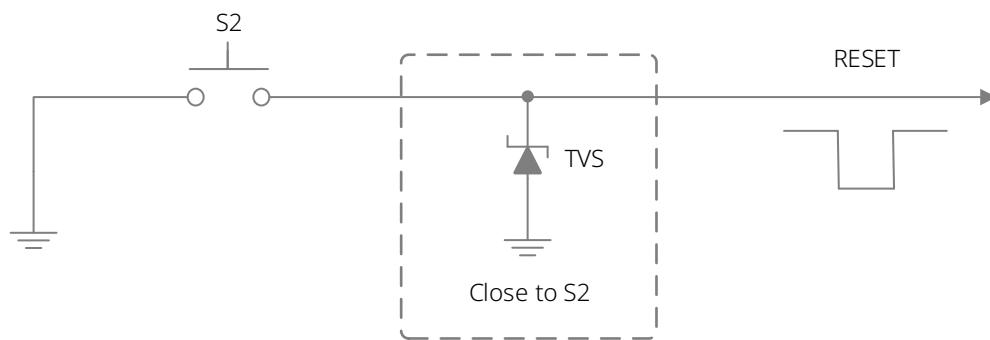


图 10. 按钮控制位参考电路

复位信号是敏感信号，建议在靠近模块端增加去抖电容（不超过 10nF）。

PCB 设计

RESET 为敏感信号，PCB 布局时应远离射频干扰。

PCB 走线需要包地保护，不得靠近 PCB 边缘走线，以避免模块因 ESD 问题而复位。

4.3 工作模式

4.3.1 休眠模式

背景信息

休眠模式也叫低功耗模式，为了将电池的损耗降到最低，在模块空闲时，使其进入到休眠模式，以此达到省电的目的。休眠模式下的模块可以被唤醒到正常工作模式。

DRX

WH-NB82系列支持 DRX 模式。模块正常接入网络，在未申请 PSM 及 eDRX 的情况下，如果无数据业务交互，模块将自动进入较低功耗的 DRX 模式（由网络侧自动下发配置消息）。该模式下模块进入低功耗的底电流低至 400uA 左右，平均功耗降为 500uA。

eDRX

WH-NB82系列可进入 eDRX 低功耗模式，该模式能大幅降低功耗，可到 90uA。

模块需要进入 eDRX 时，会在请求消息中发送请求。网络在应答消息中配置模块的请求值，模块进入 eDRX 模式。在此模式下，模块内部部分断电，而且模块已经注册上网络，可通过 UART 和 GPIO 唤醒（浅睡适用），唤醒后可快速进入待机状态。

PSM

WH-NB82系列可进入省电模式，该模式的功耗更低，典型值可到 1.5uA。在此模式下，模块内部基本处于断电状态，仅时钟电路保持上电状态，并支持唤醒功能。

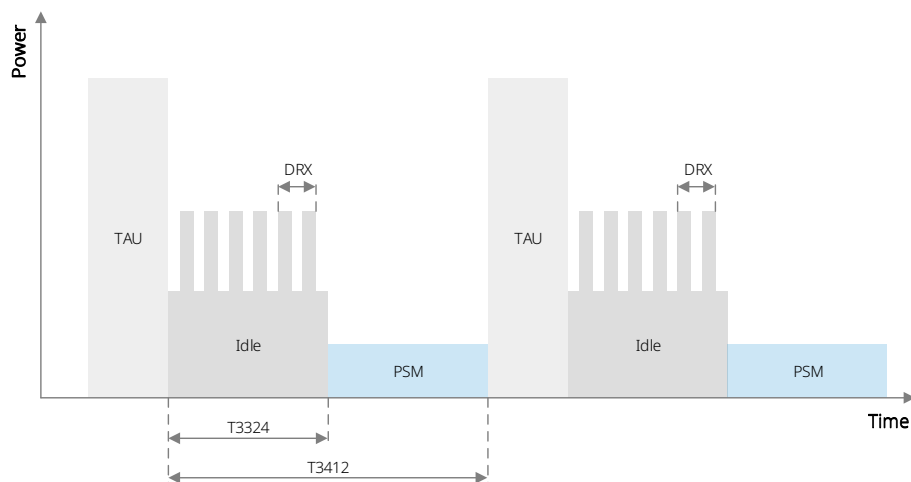


图 11. PSM 工作时间电流关系图

模块需要进入 PSM 时，会在请求消息中发送进入 PSM 的申请，网络在应答消息中下发同意进入消息，并配置 T3324、T3412 定时器。定时器 T3324 超时后进入 PSM；进入 PSM 后，定时器 T3412 超时，模块将自动唤醒并发起寻呼。

进入 PSM 的方式：

模块正常接入网络，如果无数据业务交互，模块将自动进入功耗更低的 PSM 模式。

退出 PSM 的方式：

- T3412 时钟超时后模块将自动退出 PSM 并自动接入网络。
- 拉低 RESET 管脚小于 5s 退出 PSM。

4.4 基带接口

4.4.1 UART

背景信息

UART 是通用异步收发传输器 (Universal Asynchronous Receiver/Transmitter)。它把并行输入信号转化成 串行输出信号。UART 一般用来与 PC 进行通信，包括与监控调试器和其它器件，如 EEPROM 通信。对于通信速率较高的模块，在与 PC 或其他设备进行数传或 AT 通讯时首选 USB3.0 数据接口，外设 UART 仅作为外设驱动接口。

原理图设计

模块有主串口、debug 串口和辅助串口*三组串口，主串口波特率最高支持 460800bps，最低支持 4800bps，默认波特率为 9600bps，主串口用于 AT 命令传送和软件下载。Debug 串口供调试使用，支持波特率为 9600bps。串口连接方向如下图所示。

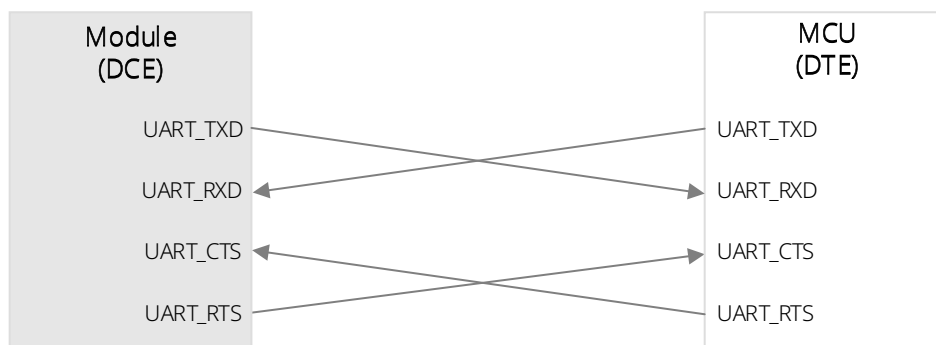


图 12. 串口推荐连接

模块的串口电平为 3.0V，若客户主机系统电平为其他电平，需在模块和主机的串口连接中增加电平转换器，下图为串口电平转换电路和转换芯片的参考电路设计。

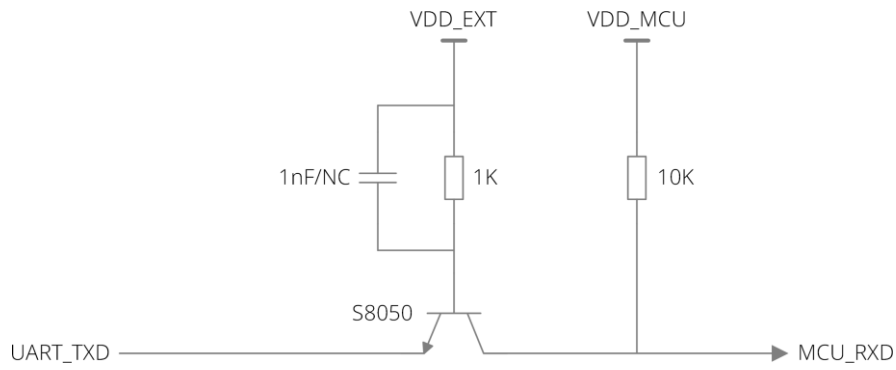


图 13. UART_TXD 电平转换参考电路

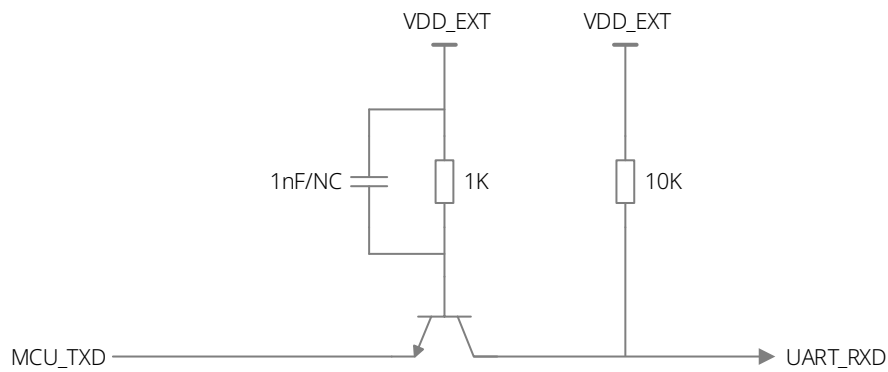


图 14. UART_RXD 电平转换参考电路

下图为使用电平转换芯片的参考电路设计：

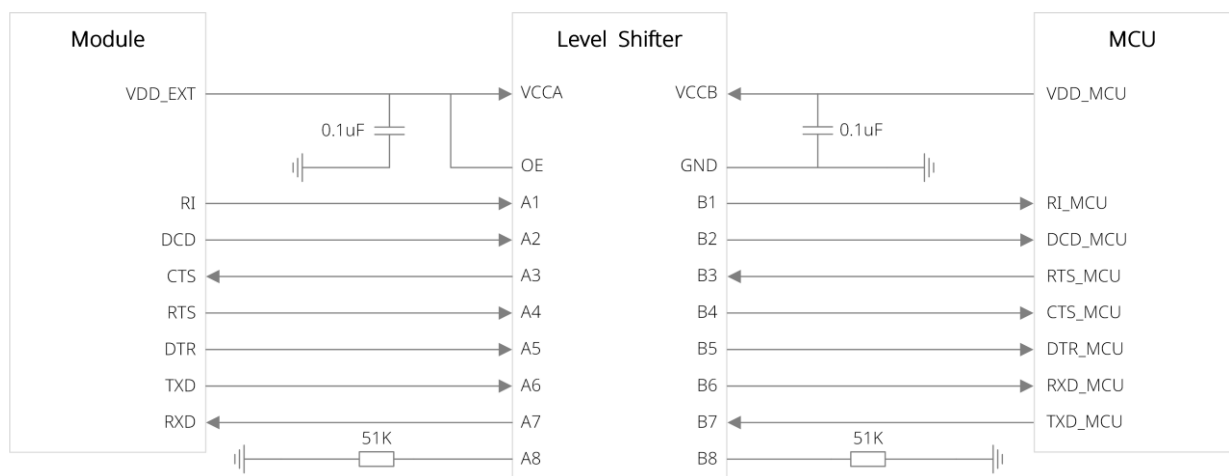


图 15. 电平转换芯片参考电路

4.4.2 SIM 卡

背景信息

模块只有插入 SIM 卡后，才能入网使用。支持 1.8V 和 3V SIM 卡，USIM_DATA 模块内部未上拉，需要外部上拉。

原理图设计

SIM 卡座参考设计如下：

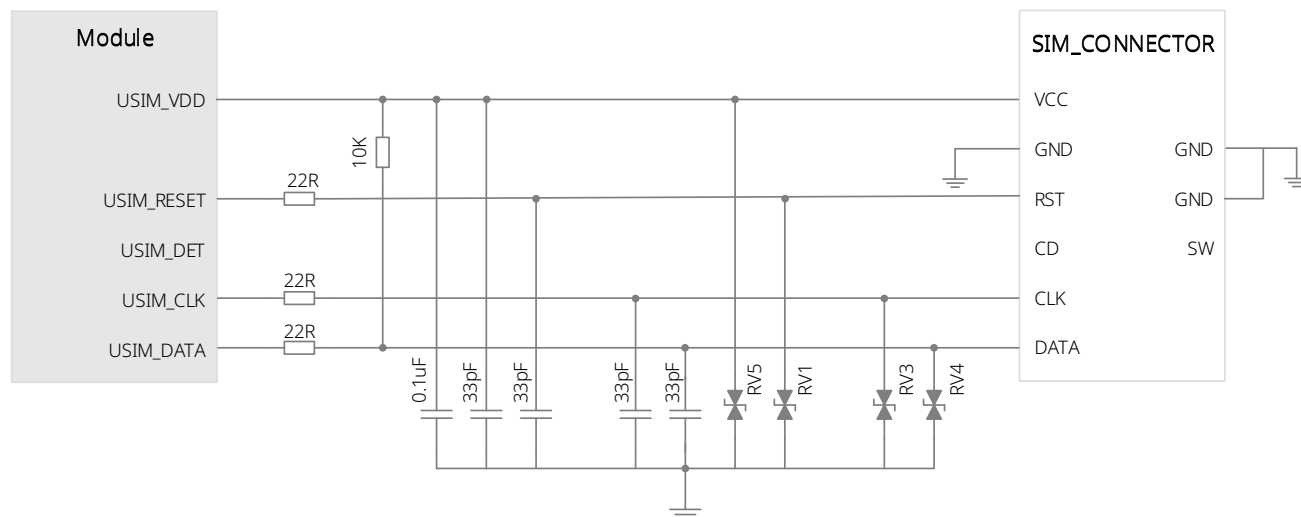


图 16. SIM 卡座参考电路

PCB 设计

布局要点：

- SIM 信号线需要预留电容滤波，预防高频信号的干扰。
- SIM 卡及走线必须远离 EMI 干扰源，比如电源电路、射频电路、天线和高速数字信号电路等。
- SIM 部分的 ESD 器件需要靠近 SIM 卡座接口。
- 天线馈线等引伸出去后应注意，避开电源部分器件，以及避免和天线铜箔平行从而引入干扰造成 SIM 卡异常掉卡。
- SIM 卡信号线的滤波电容和 ESD 器件靠近 SIM 卡座放置，ESD 器件等效电容请选择小于 33pF 电容。

走线要点：

- 为了减少 EMC 问题，SIM 信号线走线尽可能的避开射频线，电源线，时钟线，高速数据线等强干扰源。
- SIM 信号线的相邻层不要走信号线；若走线，则有 EMI 风险，把其他走线和 SIM 信号线设计成正交垂直，可降低风险。

- 保证整个 PCB 环境的地连通性和完整性，SIM_GND 的连通性和完整性。最近路径连接到干净的系统地。为了避免互相干扰，SIM_CLK 和 SIM_DATA 信号在走线中分开，最好分别做包地处理。避免相互干扰。如难以做到，则至少需要将 SIM 信号作为一组包地保护；
- SIM 信号线尽可能走内层。
- 采用带金属屏蔽外壳的 SIM 卡座，从而提高抗干扰能力。
- 为了保证信号完整性，模块到 SIM 卡的走线长度不要超过 100mm。过长的走线会降低信号质量。

射频干扰处理

在实际使用中，射频干扰是 SIM 卡异常的常见现象。其原因和措施有：

- 天线耦合干扰

原因：

- 天线大功率发射时直接对 SIM 信号的干扰；
- 天线大功率发射时耦合到地上，使整个系统的稳定性降低，间接干扰到 SIM 信号。

措施：

- 适当调整 SIM 信号上的滤波电容值。
- 更换较长天线，远离 SIM 卡部分。
- 通过屏蔽方式，隔离干扰信号，保护 SIM 卡。
- 加强系统的地设计，特别加强 SIM 卡、模块和系统主地的连通性。
- PCB 各层的接地一定要充分，尽量多打地孔，增加系统的 EMC 能力。
- 天线 RF 信号耦合到 GND，从而对 GND 造成干扰，可以优化 SIM 信号上滤波电容和 ESD 器件容值，必要时可以去掉滤波电容等器件，避免从 GND 信号引入的干扰。

- PCB 传导串扰

原因：

- 客户主板上的其他信号线通过 PCB 走线串扰到 SIM 信号上。
- 被天线干扰的信号线通过 PCB 走线串扰到 SIM 信号上。
- 电源的大幅度的波动通过 PCB 串扰到 SIM 信号上。

措施：

- 适当调整 SIM 信号上的滤波电容值。
- 需要确定干扰源，并针对性改板。

4.4.3 ADC

背景信息

模数转换器 (ADC) 将模拟信号转换为数字值，以便在处理和控制系统中使用。可用于电压检测等外围电路。

原理图设计

模块提供一路 12 位 ADC 接口，发送“AT+MMAD=0”可以读取该通道的电压值，ADC 电压范围 0~1V。使用 ADC 功能时，建议串联 1K Ω 电阻，增强静电防护。

使用 AT 命令“AT+CBC”可以查询当前 VBAT 电压值。

PCB 设计

建议 ADC 在布线时做包地处理，这样可以提高 ADC 电压测量准确度。

4.4.4 状态指示*

背景信息

网络状态指示接口用来驱动状态指示灯，描述模块的网络状态如下：

表 17. 网络指示灯工作状态

模式	网络指示引脚电平状态	描述
1	快闪 (64ms 高电平/800ms 低电平)	模块正常启动后的找网状态
2	慢闪 (64ms 高电平/2000ms 低电平)	模块注册到网络且处于连接状态
3	低电平	模块处于其它状态时

原理图设计

网络状态指示灯参考电路如下图：

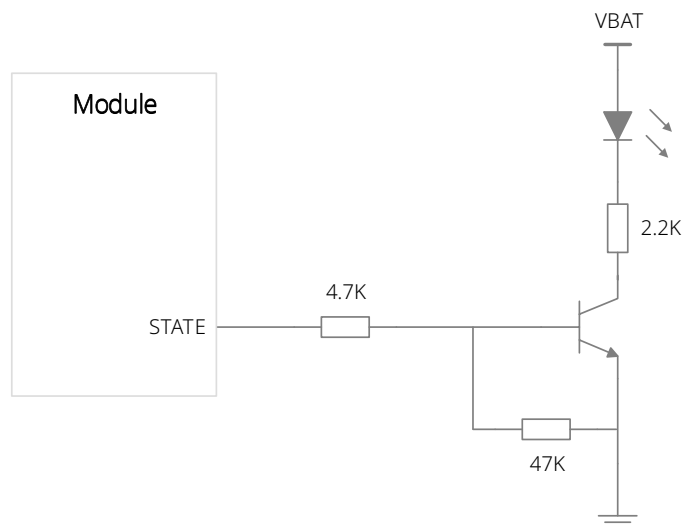


图 17. 网络状态指示灯参考电路

请注意预留 4.7K 和 47K 的位置进行分压，以确保在开机、复位和唤醒等场景下，三极管 V_{BE} 的电压小于三极管的开启电压，避免 LED 工作造成功耗增加。当需要 LED 工作的时候， V_{BE} 的电压大于三极管的开启电压。

4.5 射频接口

4.5.1 天线简介

天线接口

模块仅带 RF 天线焊盘，需要做射频信号线的 PCB 设计后再连接到天线。

影响因素

天线是一个敏感器件，容易受到外部环境的影响。例如天线位置，占用空间大小以及周围的接地等情况均可能影响天线性能。此外，连接天线的射频电缆，固定天线的位置也会影响天线性能。

4.5.2 阻抗

4.5.2.1 设计原则

对于自身没有连接器的模块，需要通过 RF 走线和天线馈点或者连接器连接，所以 RF 线推荐走微带线，越短越好，差损控制在 0.2dB 以内，并且阻抗控制在 50Ω 。

一般情况下，射频信号线的阻抗由材料的介电常数、走线宽度 (W)、对地间隙 (S)、以及参考地平面的

高度 (H) 决定。PCB 特性阻抗的控制通常采用微带线与共面波导两种方式。为了体现设计原则，下面几幅图展示了阻抗线控制为 50Ω 时微带线以及共面波导的结构设计。

- 微带线完整结构

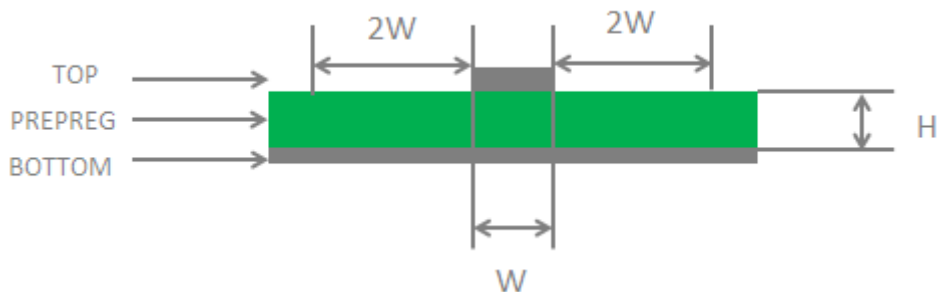


图 18. 两层 PCB 微带线结构

- 共面波导完整结构

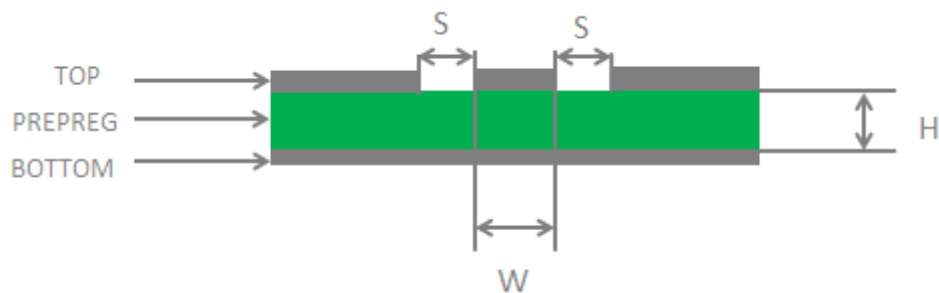


图 19. 两层 PCB 共面波导结构

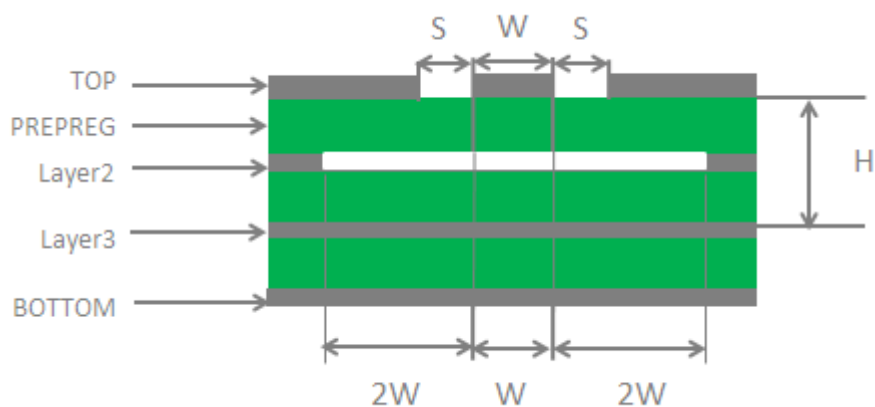


图 20. 四层 PCB 共面波导结构 (参考地 layer3)

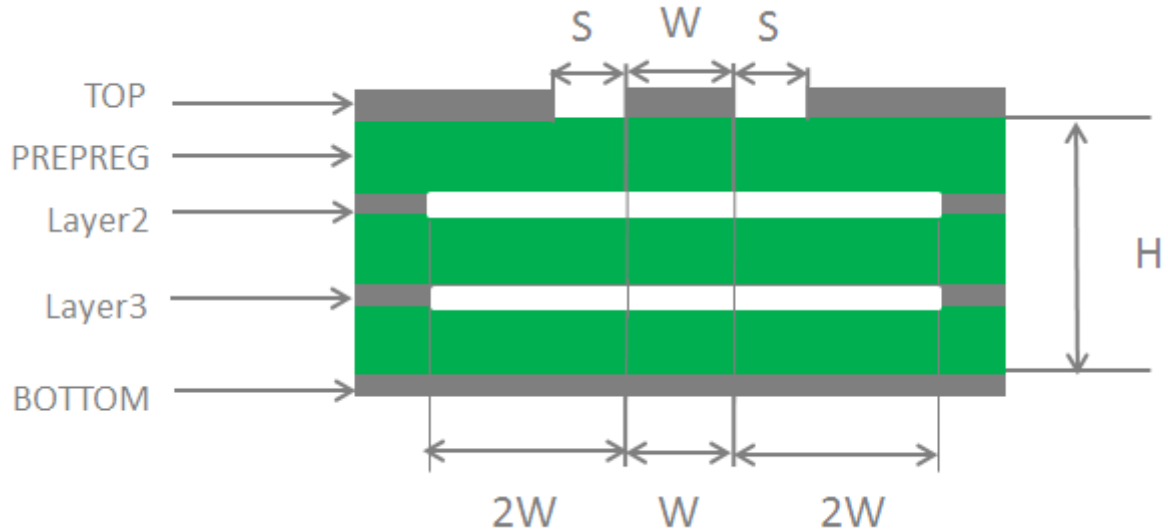


图 21. 四层 PCB 共面波导结构（参考地 layer4）

在射频天线接口的电路设计中，为了确保射频信号的良好性能与可靠性，在电路设计中建议遵循以下设计原则：

- 应使用阻抗模拟计算工具对射频信号线进行精确的 50Ω 阻抗控制。
- 与射频管脚相邻的 GND 管脚不做热焊盘，要与地充分接触。
- 射频管脚到 RF 连接器之间的距离应尽量短；同时避免直角走线，建议的走线夹角为 135° 。
- 连接器件封装建立时要注意，信号脚离地要保持一定距离。
- 射频信号线参考的地平面应完整；在信号线和参考地周边增加一定量的地孔可以帮助提升射频性能；地孔和信号线之间的距离应至少为 2 倍线宽 ($2 \times W$)。
- TVS 管等效电容需小于 0.5pF 。

在模块和天线连接器（或馈点）之间预留一个 π 型电路（两个并行器件接地脚要直接接到主地）供天线调试。两个并联器件直接跨接在 RF 走线上，不得拉出分支。

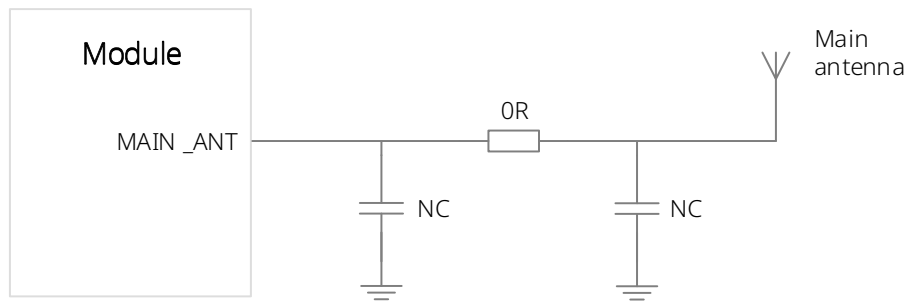


图 22. 天线接口外围电路

4.5.2.2 多层板案例

在多层板设计中，为了减少线间串扰，应保证线间距足够大，如果线中心距不少于 3 倍线宽时，则可保持 70% 的线间电场不互相干扰，称为“3W 原则”。

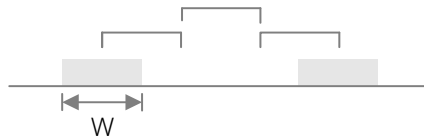


图 23. 3W 原则

4.5.2.2.1 两层板

如果客户用双面板进行设计，以下针对两层板典型的 1.6mm，1.0mm 厚度 PCB 设计做实例。

案例一：PCB 板厚 1.6mm

下图白色走线为 RF 的 50Ω 阻抗控制线。考虑到 PCB 板厚的影响，要完全符合 3W 原则很难实现，既要保证 50Ω 走线，又要确保其不对周围器件产生的影响，所以在天线周边建议客户不要放其他元器件，并且 PCB 上的走线尽可能远离 RF 部分。

经过我们大量实际验证，以下设计可以保证 RF 阻抗控制在 50Ω 左右，并且受到影响最小：

- RF 线宽 43mil，离旁边的地（蓝色）的距离是 8mil，射频走线的正下方是 RF 线参考层，通常为完整的地（红色）。
- RF 线四周需要完整的地保护，并且沿着走线方向尽量多打地孔。
- 在射频走线及其参考地周围，不建议有其他任何走线或器件。

如下图：

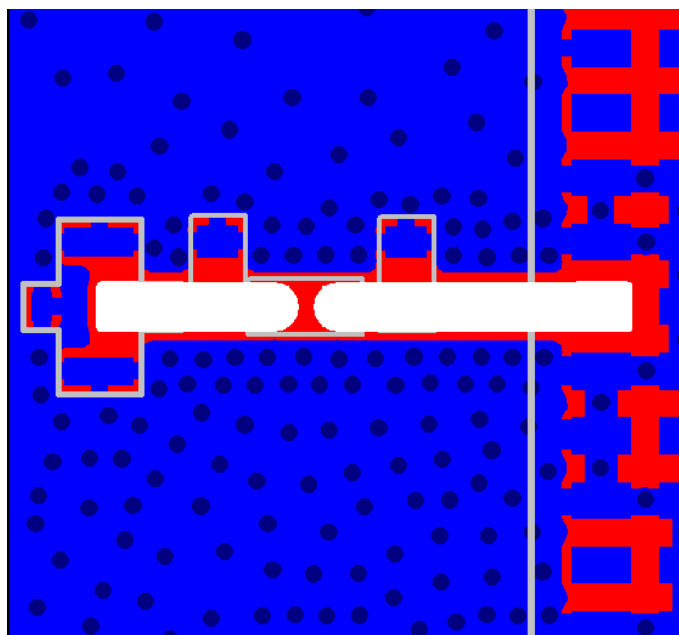


图 24. 50Ω 阻抗线示意

50Ω 阻抗的理论计算：



图 25. 阻抗计算工具示意

Er1, T1, C1, C2, CEr 参数一般由 PCB 板厂确认，每个 PCB 板厂的工艺和材质有略微差异，需要和 PCB 板厂确认。H1 为 PCB 厚度，W1 为线宽，D1 为线到旁边 GND 的距离。实际生产中要考虑误差。

案例二：PCB 板厚 1.0mm

PCB 板厚 1.0mm 时，RF 在 PCB 上线宽是 35mil，线到旁边的 GND 的间距是 8mil。

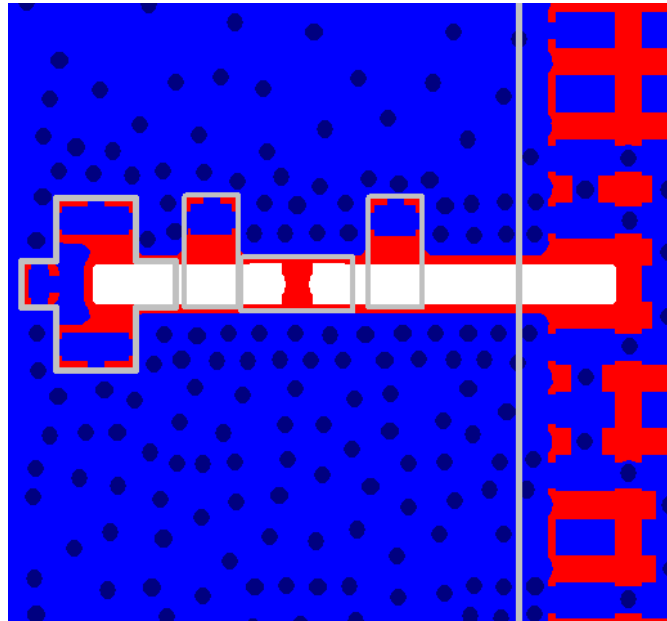


图 26. RF 走线

50Ω 阻抗的理论计算：



图 27. 阻抗计算工具示意

4.5.2.2.2 四层板

四层板，板厚 1.0mm，RF 线走在表层 Lay1，参考 Lay2（GND 层）。

不同 PCB 板厂的叠层会有不同，以下图 4 层板的叠层为例：

4层(1+2+1)叠层图示				Finished Thicknes		Material
1				S/M		
				Cu	25 um	0.33OZ + Plating
2				Prepreg	65 um	PP 1080
				Cu	25 um	0.5OZ + Plating
3				Core	508 um	0.540mm(H/H OZ)
				Cu	25 um	0.5OZ + Plating
4				Prepreg	65 um	PP 1080
				Cu	25 um	0.33OZ + Plating
				S/M		
				Total	800 um	
				Tolerance	±100 um	

图 28. 4 层板叠层厚度

Lay 1 到 Lay 2 的厚度是 65um，RF 走线 4mil，RF 到两边 GND 的距离大于 3 倍的 RF 线宽。

Lay 1 蓝色，红色是 Lay 2 层，高亮部分是 RF 线。

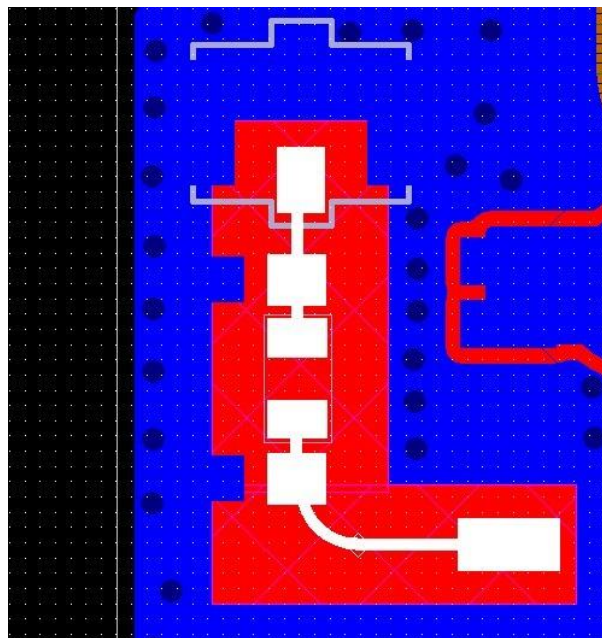


图 29. 射频 PCB 走线

50Ω 阻抗的理论计算：

D1 的值在大于 3 倍的 W1 以后，对阻抗的影响就很微弱。

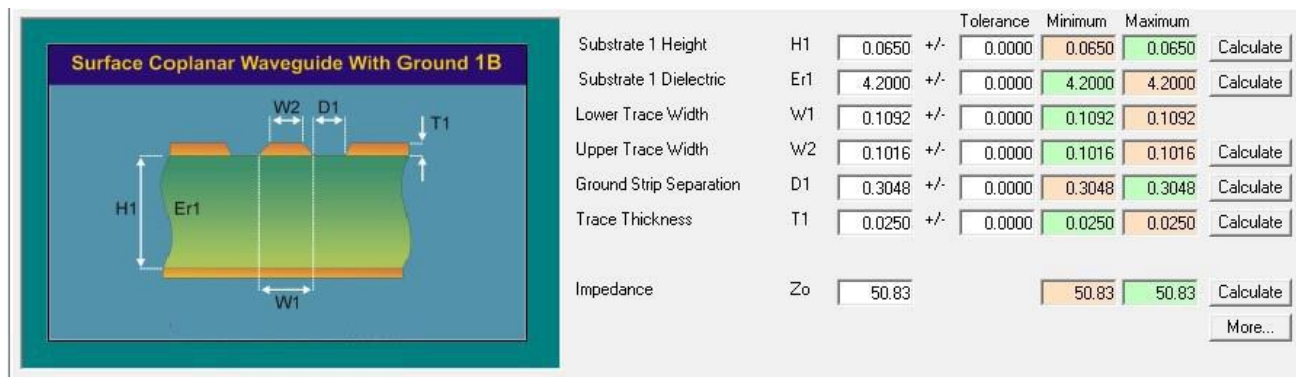


图 30. 四层板 TOP 层走线阻抗计算示意

4.5.2.3 常见问题

1. 哪些方面影响发射性能？

- 机壳：由于整机内置天线对其附近的介质较敏感，因此外壳的设计和天线性能有密切关系。
- Speaker 等设计布局不合理，影响到天线性能。
- 电池设计布局不合理，影响到天线性能。

2. 哪些方面影响接收性能？

- 如果模块传导测试满足指标，天线辐射功率达到要求，则灵敏度偏低原因为主板设计问题。
- LCD、LDO、DC/DC 等电路设计不合理，影响耦合灵敏度。
- 19.2MHz ,26MHz ,38.4MHz 等系统的 VCXO 或者 TXVCO 的谐波影响到整机的接收性能。
- SIM 卡时钟引起耦合灵敏度偏低。
- FPC 排线布局不合理，影响到整机的接收性能。

3. 哪些方面影响 EMC 性能？

- FPC 排线布局不合理，影响到整机的 EMC 性能。
- 天线的空间辐射被主板的金属元件耦合吸收后产生一定量的二次辐射，频率与金属件的尺寸关联。因此要求此类元件有良好的接地，消除或降低二次辐射。

5 包装运输

5.1 包装

模块采用卷带包装，对模块的存储、运输及使用起了最大限度的保护作用。请仔细阅读包装相关使用指导，避免损坏产品。

产品包装分成三层：

- 外包装

硬质卡通箱

- 真空包装

防静电密封真空袋

- 内包装

卷带包装



模块为精密电子产品，如果未采取正确的静电防护措施，可能会对模块造成永久的损坏。

模块为潮湿敏感性器件，请注意避免由于产品受潮而造成永久损坏。

包装流程

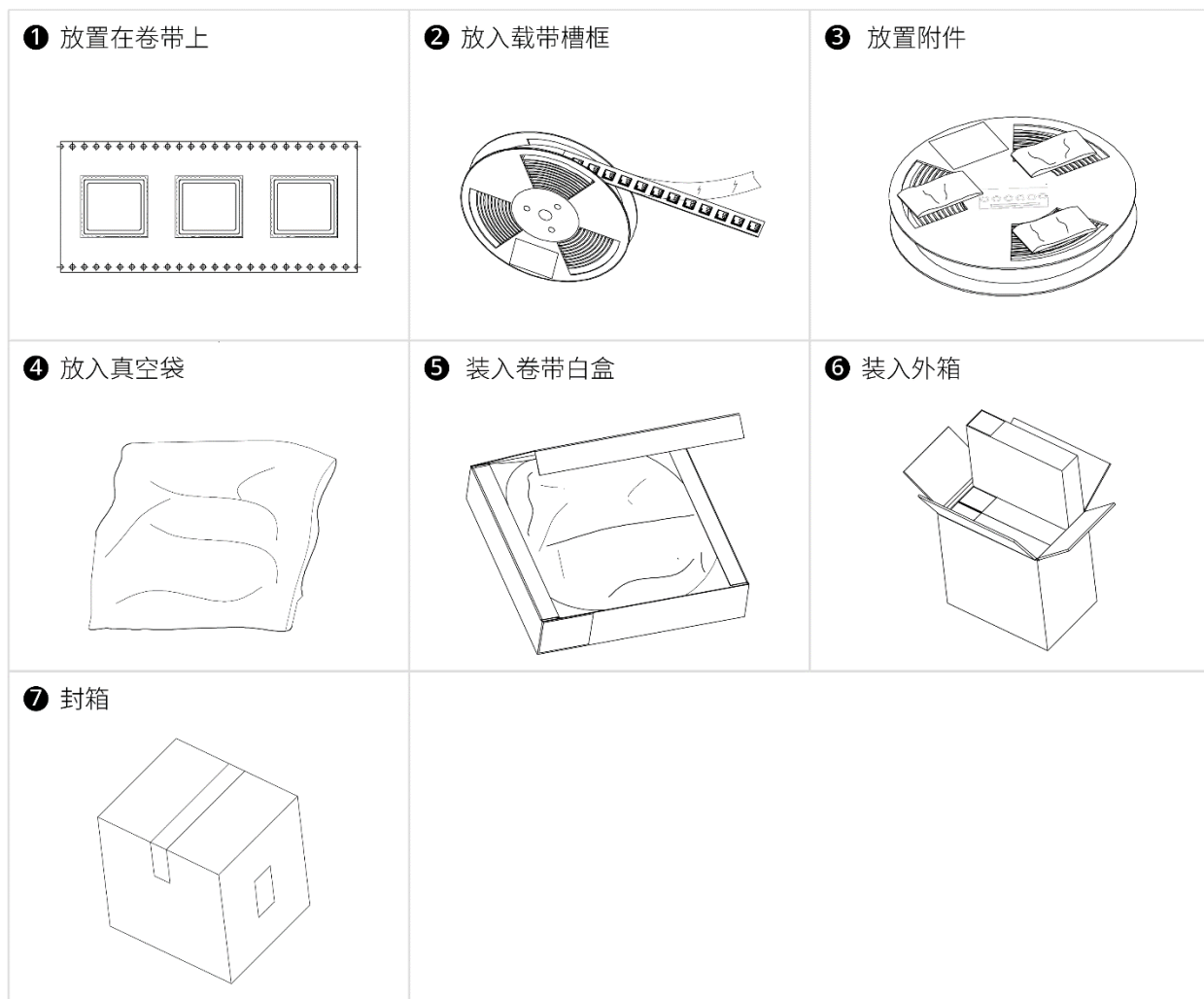


图 31. 卷带包装流程

说明：

1. 单个模块产品按指定方向保持一致依次放入载带槽框中，封好热封膜；
2. 放置好指定数量的模块卷装如图所示；
3. 抽真空前在卷带上方放置 3 包干燥剂，一张湿度卡，并贴好载带标签；
4. 整体入一真空袋，抽真空；
5. 抽好真空的静电袋入卷带白盒，单个白盒只放入一个静电袋，扣好白盒，粘贴好标签；
6. 封好外箱底部，4PCS 白盒按图示方式入外箱；
7. 工字型封好外箱顶部，在侧面矩形框内粘贴一张外箱标签，外箱上下各粘贴一张封箱标签。

卷带尺寸

- 卷带尺寸：

TBD

图 32. 载带尺寸

- 卷盘尺寸：

TBD

图 33. 卷盘尺寸

5.2 存储

存储条件（推荐）：温度 $23\pm5^{\circ}\text{C}$ ，相对湿度 RH 35%~70%。

存储期限（密封真空包装）：在推荐存储条件下，保存期为 12 个月。